

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2005年8月25日 (25.08.2005)

PCT

(10)国際公開番号
WO 2005/078795 A1

(51)国際特許分類7: H01L 25/00, 25/065, 25/07, 25/18

(21)国際出願番号: PCT/JP2005/002117

(22)国際出願日: 2005年2月14日 (14.02.2005)

(25)国際出願の言語: 日本語

(26)国際公開の言語: 日本語

(30)優先権データ:
特願2004-037242 2004年2月13日 (13.02.2004) JP

(71)出願人(米国を除く全ての指定国について): 学校法人慶應義塾(KEIO UNIVERSITY) [JP/JP]; 〒1088345 東京都港区三田二丁目15番45号 Tokyo (JP).

(72)発明者: および

(75)発明者/出願人(米国についてのみ): 黒田忠広 (KURODA, Tadahiro) [JP/JP]; 〒2230061 神奈川県横

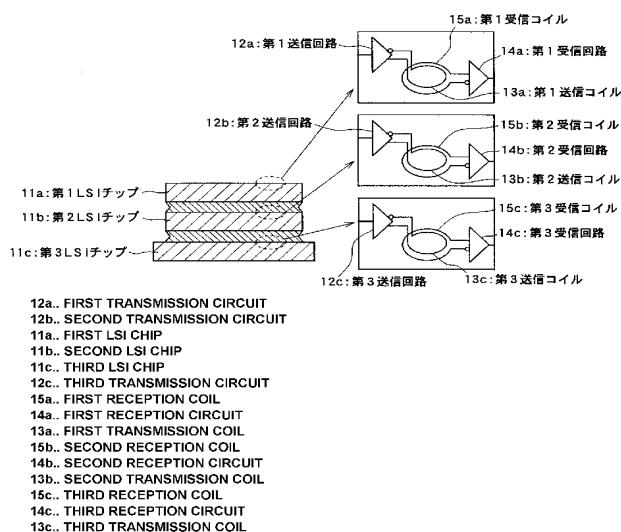
浜市港北区日吉三丁目14番1号 慶應義塾大学理工学部内 Kanagawa (JP). 溝口大介 (MIZOGUCHI, Daisuke) [JP/JP]; 〒2230061 神奈川県横浜市港北区日吉三丁目14番1号 慶應義塾大学理工学部内 Kanagawa (JP). ユスフ ユスマーラズ ビンティ (YUSOOF, Yusmeeraz Binti) [MY/JP]; 〒2230061 神奈川県横浜市港北区日吉三丁目14番1号 慶應義塾大学理工学部内 Kanagawa (JP). 三浦典之 (MIURA, Noriyuki) [JP/JP]; 〒2230061 神奈川県横浜市港北区日吉三丁目14番1号 慶應義塾大学理工学部内 Kanagawa (JP). 櫻井貴康 (SAKURAI, Takayasu) [JP/JP]; 〒1560051 東京都世田谷区宮坂2-2 1-15 Tokyo (JP).

(74)代理人: 中村和男 (NAKAMURA, Kazuo); 〒1440051 東京都大田区西蒲田七丁目60番2号 鈴木ビル 201号 中村国際特許事務所 Tokyo (JP).

[続葉有]

(54)Title: ELECTRONIC CIRCUIT

(54)発明の名称: 電子回路



(57)Abstract: An electronic circuit for efficiently transmitting a signal even if it transmits the signal over three or more boards three-dimensionally mounted. Three LSI chips are stacked, and a path over the three LSI chips is formed. On the first to third LSI chips (11a, 11b, 11c), first to third transmission coils (13a, 13b, 13c) and first to third reception coils (15a, 15b, 15c) are formed by wiring. Three centers of the openings of the three pairs of transmission and reception coils are aligned. Therefore, the three pairs of transmission and reception coils are inductively coupled to enable communication. First to third transmission circuits (12a, 12b, 12c) are respectively connected to the first to third transmission coils (13a, 13b, 13c), and first to third reception circuits (14a, 14b, 14c) are respectively connected to the first to third transmission coils (15a, 15b, 15c).

(57)要約:

3以上の基板を3次元実装して基板をまたがって信号を伝送する場合でも効率良く信号を伝送できる電子回路を提供することを課題として、本願発明は、LSIチップが3層にスタックされ、3チップにまたがるバスを形成する。第1～第3LSIチップ(11a, 11b, 11c)上には、第1～第3送信コイル(13a, 13b, 13c)、及び、第1～第3受信コイル(15a, 15b, 15c)が配線により形成される。これら3ペアの送受信コイルの開口の中心が一致するように配置される。これにより、3ペアの送受信コイルは誘導性結合を形成し、通信が可能となる。第1～第3送信コイル(13a, 13b, 13c)にはそれぞれ第1～第3送信回路(12a, 12b, 12c)が接続され、第1～第3受信コイル(15a, 15b, 15c)にはそれぞれ第1～第3受信回路(14a, 14b, 14c)が接続される。

WO 2005/078795 A1



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

電子回路

技術分野

[0001] 本発明は、IC(Integrated Circuit)ベアチップやPCB(プリント基板)などの基板間の通信を好適に行うことができる電子回路に関する。

背景技術

[0002] 近年における電子機器は、ますます小型化、高機能化されており、これに伴い、内蔵されるLSI(Large Scale Integration)も小型化、高速化が進行している。小型化、高速化を実現する手段として、1パッケージにシステムの全機能を含めることが望まれ、現在、この実現方法として大まかに2種類の方法がある。

[0003] 第1の方法としては、一つのベアチップにシステム全てを搭載するシステムオンチップ(SoC)と呼ばれる方式である。この方式は、異なるプロセス技術を一つのベアチップ上で実現することと、チップ面積の増大による歩留まりの低下により、コストが高くなる。

[0004] 第2の方法として、1パッケージに複数のベアチップを封入するシステムインパッケージ(SiP)という方法がある。この手法は、異なるプロセスで製造される機能を別チップで実現するため、ベアチップ当たりの歩留まりが高く、低コスト化が期待できる。ただし、異なるチップ間の相互接続をする必要が生じ、接続手法は3種類存在する。

[0005] SiPにおける相互接続の第1の方法は、従来通り、ワイヤボンディングを用いる方法である。この場合、チップ間の接続本数は従来のパッケージと同じか、それ以下となり、通信バンド幅に問題が生じる。また、実装面積を低減させる際には、3次元実装が不可欠であるが、ワイヤボンディング方式では上に積み上げられるチップを小さくする必要があり、実装面積が制限される上に、1対1の接続が主であるためバスの形成が困難である。

[0006] SiPにおける相互接続の第2の方法は、チップを3次元実装し、マイクロバンプで接続する方法である。この方法は、2チップの対面実装まではコストが低いが、3チップ以上の実装となると、スルーホールと呼ばれる、チップ自体又はビルトアップ基板を

貫通する通信路を物理的に製造する必要があり、専用のプロセス技術と高い加工精度を求められ、コストが高くなる。

[0007] SiPにおける相互接続の第3の方法は、チップを3次元実装し、チップ間を容量性結合により電気的に接続する方法である。この方法は2チップまでの対面実装ではコストが低く高速通信が可能であるが、3チップ以上では信号の伝送効率が急激に悪化し、消費電力が増大する。

[0008] このため、アンテナによってチップ間通信を行うことが提案されている(例えば、特許文献1参照)。

特許文献1:特開平11-68033号公報

発明の開示

発明が解決しようとする課題

[0009] しかし、このアンテナによる場合でも、3チップ以上を実装してチップをまたがって信号を伝送しようとすると、アンテナによって発生する電界が誘電率の異なる多数の物質(バイアスされたシリコン基板、ドープされたシリコン、酸化膜、窒化膜等)を貫通しなければならず、境界面で反射が生じ、伝送効率が悪化してしまう。

[0010] 本発明は、上記問題点に鑑み、3以上の基板を3次元実装して基板をまたがって信号を伝送する場合でも効率良く信号を伝送することができる電子回路を提供することを目的とする。この基板にはICベアチップやPCBが含まれる。

課題を解決するための手段

[0011] 本発明の電子回路は、基板上の配線により形成される第1コイルを有する第1基板と、基板上の配線により前記第1コイルと対応する位置に形成され第1コイルと誘導結合する第2コイルを有する第2基板とを備える。

[0012] また、前記第1基板は、送信用のデジタルデータが変化した時に前記第1コイルに信号を出力する送信回路を更に有することで、消費電力を少なくすることができる。

[0013] また、前記第2基板は、前記第2コイルの両端を抵抗を介して所定の電圧源に接続する受信回路を更に有することで、信号受信時に受信コイル両端に生じる電圧振幅の中心電圧を、信号增幅に最適な電圧値とすることができます。

[0014] また、前記第1コイルは、複数の第2基板の第2コイルと誘導結合していることで、3以上の基板にまたがるバスを形成することができる。

[0015] また、前記第2基板は、周期的な所定の期間だけ信号を受信する受信回路を更に有することで、SN比を高くすることができる。

発明の効果

[0016] 本発明によれば、3以上の基板を3次元実装して基板をまたがって信号を伝送する場合でも効率良く信号を伝送できる。

[0017] また、通信が電流駆動によるものであるので、低電圧駆動の需要が大きいLSI等に適用して好適である。

本明細書は本願の優先権の基礎である特願2004-037242の明細書及び／又は図面に記載される内容を包含する。

図面の簡単な説明

[0018] [図1]図1は、本発明の一実施の形態による電子回路の構成を示す図である。

[図2]図2は、本実施の形態における送信回路及び受信回路の具体的構成を示す図である。

[図3]図3は、本実施の形態の動作を説明する波形を示す図である。

[図4]図4は、本発明の他の実施の形態による電子回路の構成を示す図である。

[図5]図5は、本発明の更に他の実施の形態による電子回路の構成を示す図である。

[図6]図6は、本発明の他の実施の形態における送信回路の具体的構成を示す図である。

符号の説明

[0019] 11 LSIチップ

12 送信回路

13 送信コイル

14 受信回路

15 受信コイル

400、401 送受信回路

403 誘導性結合

410、411、412、420、421、422、423 LSIチップ

501 送受信回路

503 誘導性結合

510、511、512 LSIチップ

FF 記憶素子

INV バッファ

NAND ナンド回路

L コイル

T トランジスタ

Rxclk 受信クロック

Rxdata 受信データ

Txclk 送信クロック

Txdata 送信データ

Vbias バイアス電圧

発明を実施するための最良の形態

[0020] 以下、添付図面を参照しながら本発明の好適な実施の形態について詳細に説明する。

[0021] 図1は、本発明の一実施の形態による電子回路の構成を示す図である。本実施の形態の電子回路は、第1LSIチップ11a、第2LSIチップ11b、及び第3LSIチップ11cから成る。LSIチップが3層にスタックされ、3チップにまたがるバスを形成する例である。第1ー第3LSIチップ11a、11b、11cが縦に積まれ、各チップは接着剤で互いに固定されている。第1ー第3LSIチップ11a、11b、11c上には、それぞれ、送信に用いる第1ー第3送信コイル13a、13b、13cが配線により形成され、また、それぞれ、受信に用いる第1ー第3受信コイル15a、15b、15cが配線により形成される。これら3ペアの送受信コイル13、15の開口の中心が一致するように、第1ー第3LSIチップ11a、11b、11c上で配置されている。これにより、3ペアの送受信コイル13、15は誘導性結合を形成し、通信が可能となる。第1ー第3送信コイル13a、13b、13cにはそれ

ぞれ第1ー第3送信回路12a、12b、12cが接続され、第1ー第3受信コイル15a、15b、15cにはそれぞれ第1ー第3受信回路14a、14b、14cが接続される。送受信コイル13、15は、プロセス技術の多層配線を利用し、通信に許される面積内で、3次元的に1回巻き以上のコイルとして実装される。送受信コイル13、15には、通信に最適な形状が存在し、最適なまき数、開口、線幅をとる必要がある。一般的に、送信コイル13が受信コイル15より小さい。

[0022] 図2は、本実施の形態における送信回路及び受信回路の具体的構成を示す図である。本実施の形態の送信回路12は、記憶素子FF、遅延バッファ121、第1送信用バッファINV2、及び第2送信用バッファINV3から成る。L1は送信コイル13である。送信回路12は、入力として送信クロック(同期信号)Txclkと、これに同期した送信データTxdataを取る。入力される送信データTxdataは記憶素子FFに保持され、第1、第2送信用バッファINV2、INV3に入力される。ただし、第1送信用バッファINV2の前には、遅延素子である遅延バッファ121が設けられ、第1送信用バッファINV2と第2送信用バッファINV3への入力時間に差ができるように構成されている。第1送信用バッファINV2と第2送信用バッファINV3の出力は送信コイルL1の両端にそれぞれ接続される。この構成により、送信データに変化が生じた場合のみに、遅延バッファ121の信号伝播遅延時間だけコイルL1へ電流が流れる。受信コイル15の受信電圧が最大となり、かつ、受信タイミングのマージンを大きくするため、送信コイルL1へ流れる電流波形が三角波となるよう、第1、第2送信用バッファINV2、INV3の駆動力を設定する。

[0023] 受信回路14は、トランジスタT1ーT10、抵抗R1、R2、 NAND回路NAND1、NAND2、及び受信用バッファINV1から成り、全体としてラッチつき差動アンプを構成している。L2は受信コイル15である。外部から受信クロック(同期信号)Rxclkをとり、受信データRxdataを出力する。トランジスタT2、T3が差動アンプの差動対をなし、受信コイルL2からの信号を受ける。トランジスタT2、T3に接続されている受信コイルL2の両端は抵抗R1、R2を通りバイアス電圧Vbiasに接続されている。これにより、信号受信時に受信コイルL2両端に生じる電圧振幅の中心電圧を、信号増幅に最適な電圧値Vbiasとすることができる。トランジスタT2、T3のソース端子は、テイル電流源発生用ト

トランジスタT1に接続される。トランジスタT1のソース端子は接地され、ゲート端子へは受信クロックRxclkが入力される。トランジスタT2、T3のドレイン側では、トランジスタT5とトランジスタT8、及び、トランジスタT6とトランジスタT9がそれぞれインバータを形成し、この2つのインバータがループ状に接続されている。インバータを繋ぐ配線が、 NAND回路NAND1、NAND2へ入力され、 NAND回路NAND1、NAND2はラッチを形成している。差動アンプで受信したデータはトランジスタT1へ入力される受信クロックRxclkに同期して値が変化し、 NAND回路NAND1、NAND2により、値の変化があつたときのみ、受信信号をデジタルデータとして値を取り込み、入力値の変化がない間は値を保持する。差動アンプのプリチャージと、受信クロックRxclkがL(ロー)の期間のラッチの値保持のために、トランジスタT7、T10が接続されている。このトランジスタT7、T10が発生するノイズの影響で、受信コイルL2からの受信信号の変化がないにもかかわらず、受信データRxdataの値が反転するのを防ぐために、トランジスタT4が接続される。

[0024] 図3は、本実施の形態の動作を説明する波形を示す図である。図1に示す第3LSIチップ11c上の第3送信回路12cから、この上に存在する第1、第2LSIチップ11a、11b上の第1、第2受信回路14a、14bへデータの送信をする場合の動作説明を行う。例として、送信データTxdataとして「…LLHHLL…」というデータ送信を行った際の動作について説明する。第3LSIチップ11c上の第3送信回路12cは、値の送信時に送信クロックTxclkと、これに同期した送信データTxdataを入力する。まず、送信データTxdataとしてL(ロー)が入力されている状態では、第1、第2送信用バッファINV2、INV3の出力は共にH(ハイ)を保持した定常状態となっている。第1、第2LSIチップ11b、11c上の第1、第2受信回路14a、14bは、Lが連続されて入力された状態では、受信データRxdataにLが出力されている状態で定常状態となっている。

[0025] この状態から、送信データTxdataがA点の時間にLからHに変化する。この信号がB点で記憶素子FFに取り込まれ、すぐに第2送信用バッファINV3に入力される。ここで第2送信用バッファINV3の出力はLとなるが、第1送信用バッファINV2の出力はHのままであり、電流が第1送信用バッファINV2から第2送信用バッファINV3に向かい流れ。この後、遅延バッファ121の遅延時間の後、第2送信用バッファINV3

の出力がHとなり、第1送信用バッファINV2と第2送信用バッファINV3の出力が等電位となり電流の流れが止まる。この際に、電流波形が「送信コイル電流」B点に示すような3角波となるよう第1、第2送信用バッファINV2、INV3の駆動力を設定しておく。

[0026] 「送信コイル電流」のB点～C点における電流変化により、第1、第2LSIチップ11a、11b上に配置されている受信コイルL2には「第1LSIチップ受信コイル電圧」、「第2LSIチップ受信コイル電圧」に示される電圧が生じる。この電圧の振れの中心電圧はVbiasである。第1LSIチップ11aは第2LSIチップ11bより第3LSIチップ11cから遠いため、生じる電圧が低くなる。これらの電圧変化をラッチ付き差動アンプにより増幅し、ラッチで値を保持することにより、「第1、第2LSIチップRxdata」B点に示すデジタルデータとする。

[0027] 第3LSIチップ11c上の送信データTxdataはB点ではHを保持し、変化していない。この場合、C点における送信コイルL1への入力は変化せず、第1、2LSIチップ11a、11b上の受信コイルL2の電圧も変化を起こさず、出力データRxdataは保持される。

[0028] 第3LSIチップ11c上の送信データTxdataがC点のようにHからLに遷移した場合、D点で記憶素子FFに取り込まれ、直ちに第2送信用バッファINV3への入力がHからLに変化し、その出力はLからHへと遷移する。このとき、第1送信用バッファINV2の出力は、遅延バッファ121によりLからHへの変化が遅れ、第2送信用バッファINV3から第1送信用バッファINV2へ電流が流れる。この後、遅延バッファ121の遅延時間の後、第1送信用バッファINV2の出力がHとなり第1送信用バッファINV2と第2送信用バッファINV3の出力電圧が等しくなり、電流がとまる。この一連の送信電流の変化が「送信コイル電流」D点のように、B点における3角波形の逆の極性をとる3角波となるよう第1、第2送信用バッファINV2、INV3の駆動力を設定しておく。

[0029] 第3LSIチップ11c上の送信コイルL1の電流変化により、「第1LSIチップ受信コイル電圧」、「第2LSIチップ受信コイル電圧」のD点の波形が第1、2LSIチップ11a、11b上の受信コイルL2に発生する。この電圧変化を差動アンプで増幅し、ラッチでデジタルデータに変換することにより、「第1、第2LSIチップRxdata」D点のデジタル受信信号を得る。

[0030] 以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能である。

[0031] 例えば、バス接続ではなく1対1接続も可能であり、この場合の接続例を図4(a)に示す。図4(a)は、第1～第3LSIチップ410～412から成るスタックトLSIを横から見た図である。送受信回路401の内容を送受信回路400として示している。矢印403は誘導性結合を表す。

[0032] また、多対多の接続も可能であり、この場合の接続例を図4(b)に示す。図4(b)は、第1～第4LSIチップ420～423から成るスタックトLSIを横から見た図である。この場合には、第1LSIチップ420と第3LSIチップ422との通信、及び、第2LSIチップ421と第4LSIチップ423との通信を同じ水位置において行うものである。すなわち、送信回路と受信回路の複数の組合せが同じ空間を使って独立に誘導性結合しているものである。同じ水位置で誘導性結合させるものであるので、例えば時分割するなどしてそれぞれの通信を漏話なく行う。

[0033] これらのように縦方向の接続の拡張だけでなく、横方向も接続を拡張可能であり、並列に通信をしてバンド幅を増やした例を図5に示す。図5は、第1～第3LSIチップ510～512から成るスタックトLSIを横から見た図である。送受信回路501は図4に示す送受信回路400と同じものである。矢印503は誘導性結合を表し、並列に複数の結合を確立している様子を表している。

[0034] また、接続方式だけではなく、送受信回路も変更可能である。送信回路は、消費電力は増加してしまうが、回路規模を小さくすることを主眼とすると、図6の構成をとることができる。図6に示す送信回路は、記憶素子FF、送信用バッファINV4、及びバイアス電圧Vbiasの電圧源から成る。送信データTxdataは、記憶素子FFに保持され、送信用バッファINV4を介して送信コイルL1に入力される。送信コイルL1の他端はバイアス電圧Vbiasに接続される。バイアス電圧Vbiasを送信データのL、Hの中間の電圧にしておくと、送信コイルL1には絶えず正負いずれかの電流が流れているが、送信データTxdataが変化する時に送信コイルL1に流れる電流が反転して、信号が伝送される。

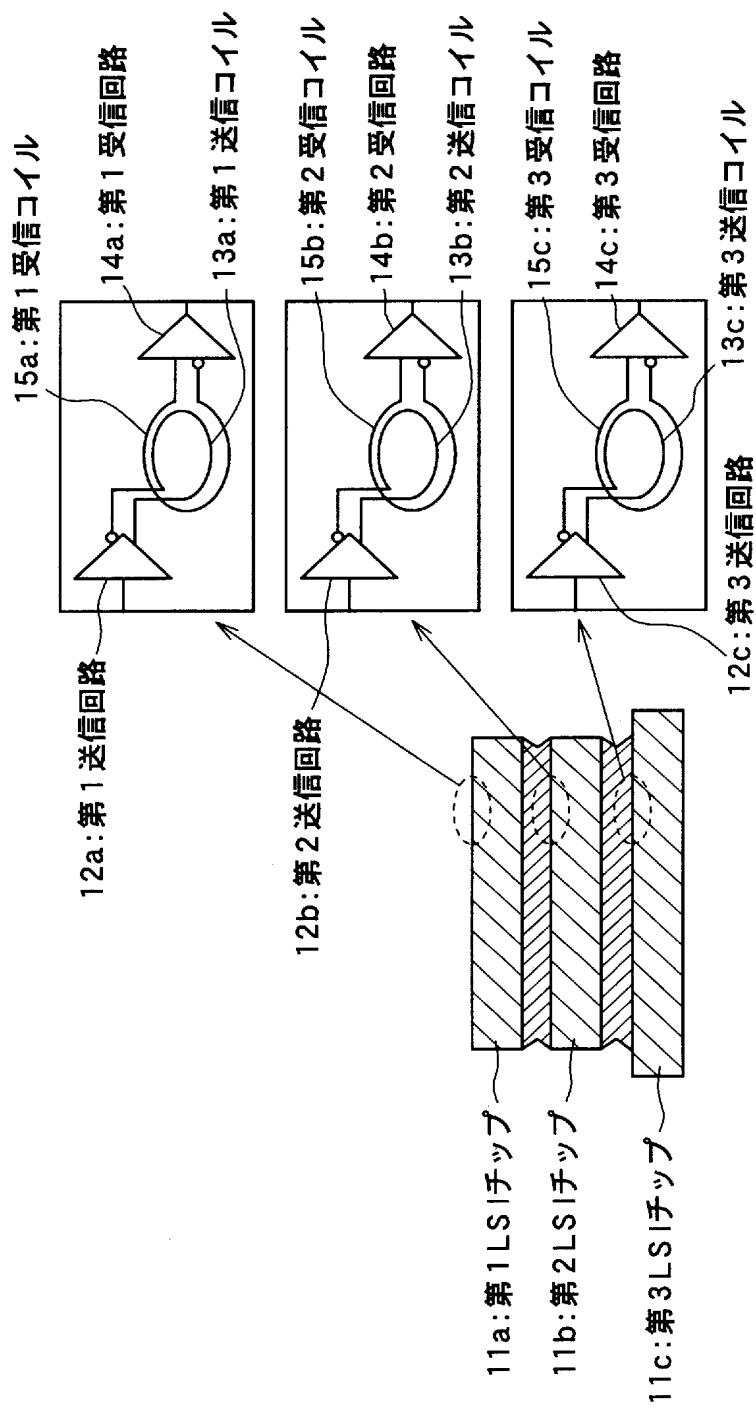
[0035] また、受信回路は、受信クロックに同期して受信信号を受けるはずである周期的な所定の期間の信号だけを受信するようにすることで、クロックによる雑音等を除去してSN比を高くすることができる。

本明細書で引用した全ての刊行物、特許及び特許出願をそのまま参考として本明細書にとり入れるものとする。

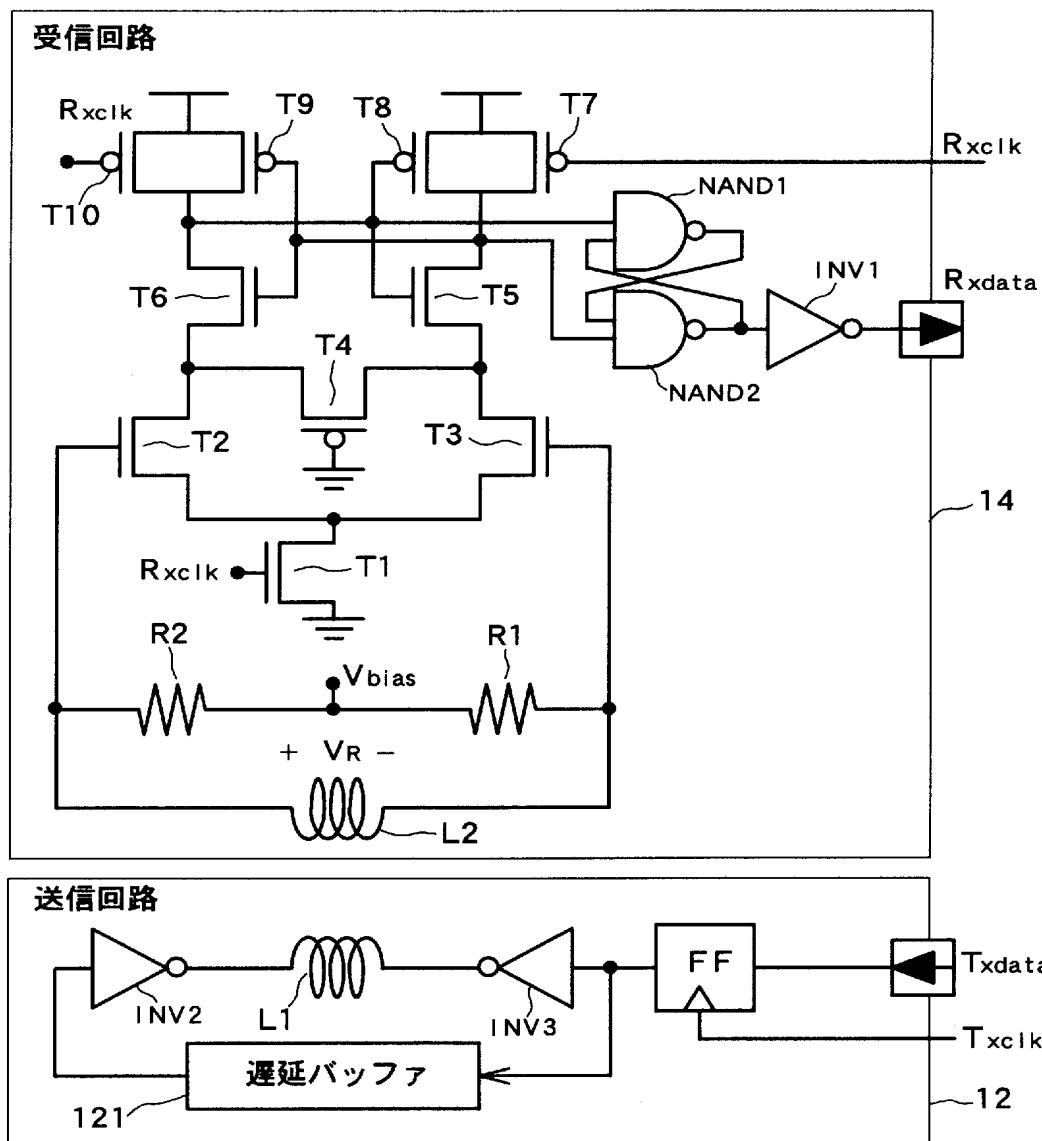
請求の範囲

- [1] 基板上の配線により形成される第1コイルを有する第1基板と、
基板上の配線により前記第1コイルと対応する位置に形成され第1コイルと誘導結合する第2コイルを有する第2基板と
を備えることを特徴とする電子回路。
- [2] 前記第1基板は、送信用のデジタルデータが変化した時に前記第1コイルに信号
を出力する送信回路を更に有することを特徴とする請求項1記載の電子回路。
- [3] 前記第2基板は、前記第2コイルの両端を抵抗を介して所定の電圧源に接続する
受信回路を更に有することを特徴とする請求項1又は2記載の電子回路。
- [4] 前記第1コイルは、複数の第2基板の第2コイルと誘導結合していることを特徴とする
請求項1記載の電子回路。
- [5] 前記第2基板は、周期的な所定の期間だけ信号を受信する受信回路を更に有することを特徴とする請求項1又は2記載の電子回路。

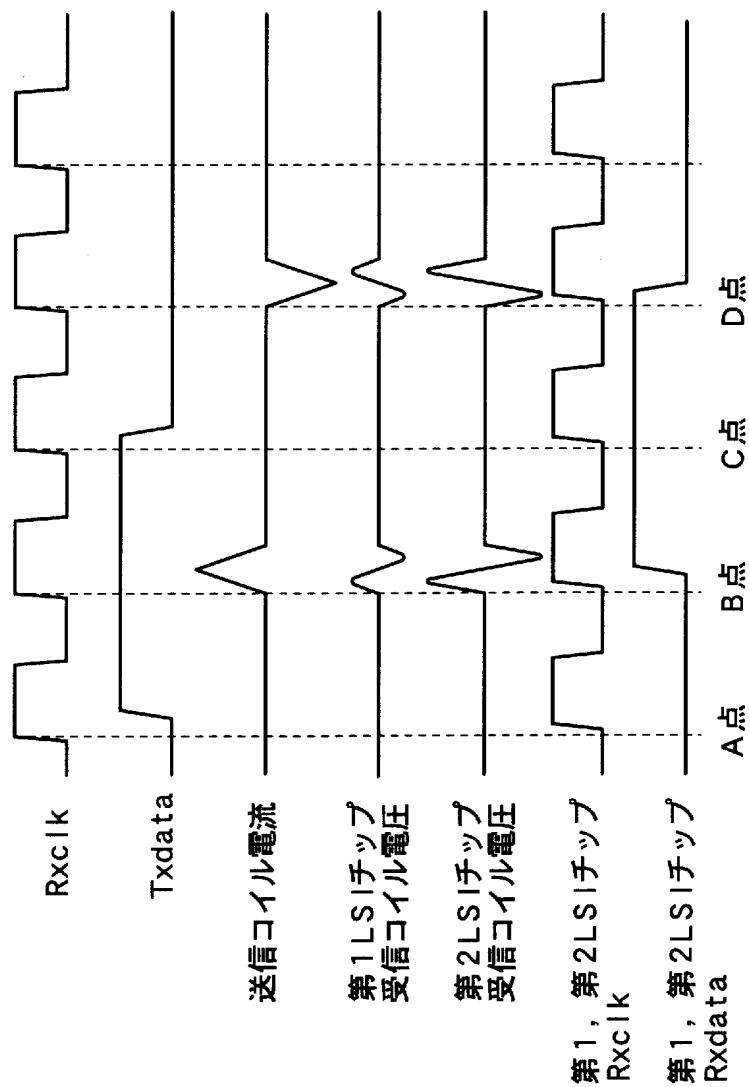
[図1]



[図2]

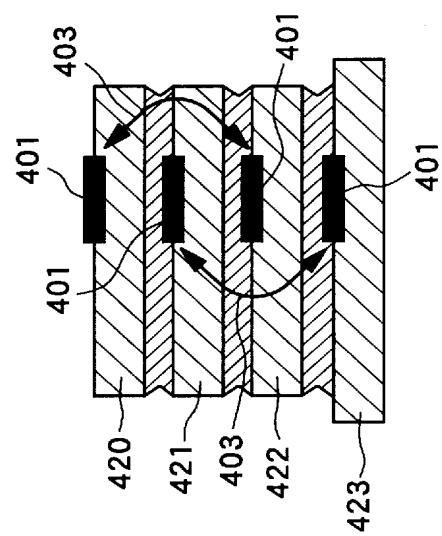


[図3]

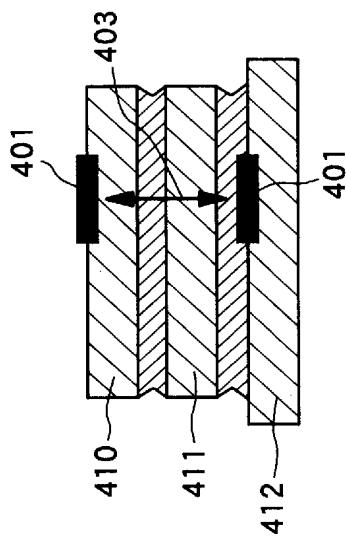
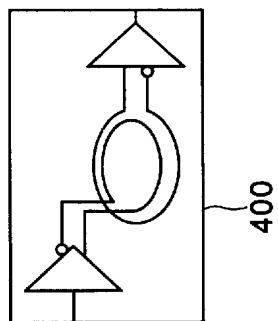


[図4]

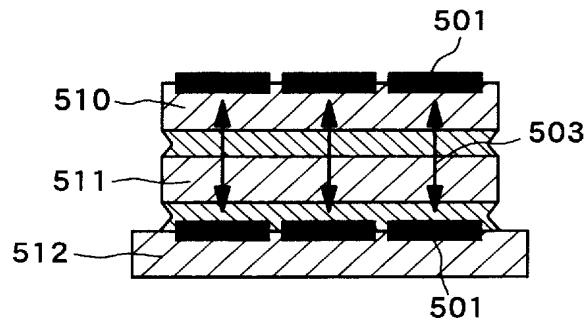
(b)



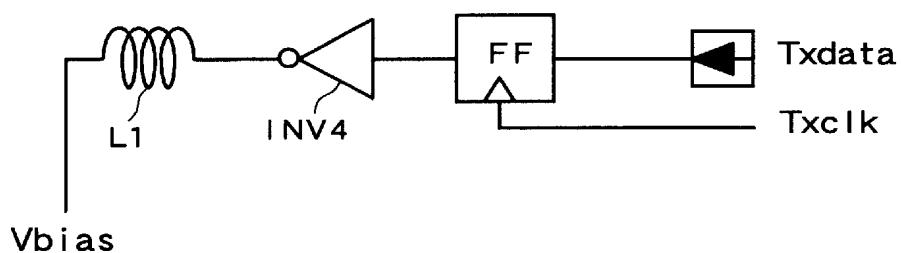
(a)



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/002117

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L25/00, 25/065, 25/07, 25/18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

 Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L25/00, 25/065, 25/07, 25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	Kohei ONIZUKA et al., "Chip-kan Wireless Denger Denso ni Kansuru Kento", 2003 Nen The Institute of Electronics, Information and Communication Engineers Kiso· Kyokai Society Taikai Koen Ronbunshu, 10 September, 2003 (10.09.03), page 3, full text	1, 3 2, 4, 5
Y	Koichi KANDA et al., 1.27Gb/s/pin, 3mW/pin Wireless Superconnect(WSC) Interface Sheme, The Institute of Electronics, Information and Communication Engineers Gijutsu Kenkyu Hokoku, Vol.103, No.88(ICD2003 13-25), 2003, pages 19 to 22, pages 20 to 21, '2. WSC (wireless superconnect)', '3. Sojushin Kairo'	2, 5

 Further documents are listed in the continuation of Box C.

 See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

 Date of the actual completion of the international search
 06 May, 2005 (06.05.05)

 Date of mailing of the international search report
 24 May, 2005 (24.05.05)

 Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/JP2005/002117

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-124406 A (Kabushiki Kaisha Shinseishisu), 28 April, 2000 (28.04.00), Par. Nos. [0030], [0031]; Fig. 5 (Family: none)	4
A	Kouichi KANDA et al., 1.2Gb/s/pin 3mW/pin Wireless Superconnect (WSC) Interface Scheme, 2003 IEEE International Solid-State Circuits Conference, Vol.1, 2003, ISSCC 2003/SESSION 10/HIGH SPEED BUILDING BLOCKS/PAPER 10.7, full text	1-5
A	JP 11-68033 A (Matsushita Electric Industrial Co., Ltd.), 09 March, 1999 (09.03.99), Par. Nos. [0013] to [0018] (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl.⁷ H01L25/00, 25/065, 25/07, 25/18

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl.⁷ H01L25/00, 25/065, 25/07, 25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	鬼塚浩平 外1名, チップ間ワイヤレス電源電送に関する検討, 2003年電子情報通信学会基礎・境界ソサイエティ大会講演論文集, 2003.09.10, p.3 全文	1, 3
Y	神田浩一 外5名, 1.27Gb/s/pin, 3mW/pin Wireless Superconnect(WSC) Interface Sheme, 電子情報通信学会技術研究報告, Vol. 103, No. 88 (ICD2003 13-25), 2003, p. 19-22 第20頁-第21頁「2. WSC (wireless superconnect)」「3. 送受信回路」	2, 4, 5
Y		2, 5

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

06.05.2005

国際調査報告の発送日

24.5.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

今井 拓也

4R

9169

電話番号 03-3581-1101 内線 3471

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 2000-124406 A (株式会社シンセシス) 2000.04.28, 【0030】【0031】【図5】 (ファミリーなし)	4
A	Kouichi KANDA et.al., 1.2Gb/s/pin 3mW/pin Wireless Superconnect(WSC) Interface Scheme, 2003 IEEE International Solid-State Circuits Conference, Vol. 1, 2003, ISSCC 2003/SESSION 10/HIGH SPEED BUILDING BLOCKS/PAPER 10.7 全文	1-5
A	JP 11-68033 A (松下電器産業株式会社) 1999.03.09, 【0013】 - 【0018】 (ファミリーなし)	1-5